

## Versuch D

# Digitalelektronik – Versuchsvorbereitung

Dr. Wolfgang Koch

Friedrich-Schiller-Universität Jena

Institut für Informatik

Lehrstuhl Advanced Computing

5. April 2016

### Grundlagen

In diesem Versuch wird das statische und dynamische Verhalten von MOS-Feldeffekttransistoren untersucht. Dazu wird einerseits mit PSpice simuliert (s. Kurzanleitung), andererseits werden mit Hilfe eines DA/AD-Wandlers und eines PC Messungen durchgeführt. Aus einzelnen Transistoren werden CMOS-Gatter aufgebaut und untersucht. *Neben Simulation und Messung sollen Sie in der Vorbereitung auch etwas rechnen.*

Zur Vorbereitung sollten Sie sich die Kapitel „Ohmsches Gesetz - Grundlagen der ET“ und „Halbleiter“ der Vorlesung „Grundlagen der Technischen Informatik“ noch einmal anschauen (über das CAJ verfügbare Skripte) - insbesondere die Abschnitte über nichtlineare Kennlinien, pn-Übergang, MOSFETs und CMOS. Weiterhin müssen Sie einfache Gleichstromkreise mit Reihen- und Parallelschaltung von Widerständen berechnen können, ansonsten werden Sie die behandelten Schaltungen nicht richtig verstehen.

Zur Funktionsweise von MOSFETs sollen ein paar Einzelheiten noch einmal zusammengefasst werden: Ist die Gatespannung  $U_{GS}$  kleiner als die Schwellspannung  $U_{th}$ , fließt kein Strom  $I_D$  durch den Transistor, sein Widerstand geht gegen unendlich. Bei  $U_{GS}$  größer als  $U_{th}$  hat sich ein Kanal aus Minoritätsladungsträgern gebildet, unter ihm befindet sich eine Sperrschicht ohne freie Ladungsträger. Liegt jetzt zwischen Drain und Source eine (geringe) Spannung  $U_{DS}$ , so fließt ein Strom durch den Kanal. Allerdings steigt dieser Strom  $I_D$  nicht proportional zu  $U_{DS}$  an, wie er das bei einem ohmschen Widerstand tun würde, da mit wachsender Spannung  $U_{DS}$  der Kanal an der Drain-Seite weniger hoch als an der Source-Seite ist (warum?) - man sagt, er schnürt sich ein.

$$U_{GS} < U_{th}: \quad I_D = 0 \quad (U_{th}: \text{Schwellspannung (threshold)})$$

$$U_{GS} \geq U_{th} \quad (\text{und } U_{DS} < U_p): \quad I_D = K((U_{GS} - U_{th})U_{DS} - \frac{1}{2}U_{DS}^2)$$

Der Koeffizient  $K$ , auch Steilheit genannt, (Maßeinheit  $A/V^2$ ) hängt neben der Beweglichkeit der Ladungsträger (die für die Elektronen in einem n-Kanal höher ist als für die Löcher in

einem p-Kanal) vom Verhältnis Kanalweite/Kanallänge ab, ist also in weitem Rahmen durch die Bauform vom Hersteller beeinflussbar.

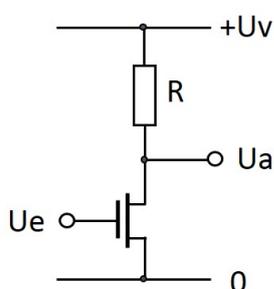
Bei  $U_{DS} \geq U_{GS} - U_{th}$  wird der Kanal ganz abgeschnürt, der Strom  $I_D$  wächst nicht weiter. (Der Spannungswert  $U_{DS}$ , für den  $U_{DS} = U_{GS} - U_{th}$  gilt, wird  $U_p$  - Abschnürspannung (pinch off) genannt.) Setzt man  $U_{DS} = U_{GS} - U_{th}$  in obige Formel für  $I_D$  ein, erhält man:

$$U_{GS} \geq U_{th}, U_{DS} \geq U_p: \quad I_D = \frac{1}{2}K(U_{GS} - U_{th})^2$$

So ergibt sich das Kennlinienfeld von Folie S. 54 oder S. 59 im Skript „Halbleiter“ (der Strom  $I_D$  für  $U_{GS} < U_{th}$  ist Null). In der Praxis wächst der Strom auch oberhalb der Abschnürung wegen der Kanalverkürzung geringfügig weiter an – s.S. 62.

### Aufgaben zur Vorbereitung

In der Vorbereitung sollen Sie einige Überlegungen und Berechnungen anstellen. Gegeben sei folgende Schaltung:



Die Parameter sollen für jede Gruppe verschieden sein, sie berechnen sich aus dem Versuchstag und der Versuchsgruppe:

$$\begin{aligned} U_v &= 5.0V, \quad U_{th} = 1.4V \\ K &= 1.0 \cdot 10^{-3} \cdot (4.5 + Tag \cdot 0.1) \\ R &= 400\Omega + Gruppe \cdot 100\Omega \end{aligned}$$

z.B. Versuchstag 08. Juni, 2. Gruppe (Gruppe, die an diesem Termin im 2. Feld der Anmeldeliste für Versuch C steht)

$$\begin{aligned} U_{th} &= 1.4V, \quad K = 10^{-3} \cdot (4.5 + 8 \cdot 0.1) = 0.0053, \\ R &= 400\Omega + 2 \cdot 100\Omega = 600\Omega \end{aligned}$$

Berechnen Sie die Übertragungskennlinie  $U_a = f(U_e)$  dieser Schaltung (vgl. S. 63). Im Versuch werden Sie dann diese Schaltung auch simulieren und die Kennlinie durch Messungen aufnehmen.

Gehen Sie folgendermaßen vor:

- Benutzen Sie  $I_D = f(U_{GS})$  (s. vorn)
- Bestimmen Sie zunächst  $I_D$  für  $U_{GS} < U_{th}$
- Wenn  $U_{GS}$  knapp über  $U_{th}$  steigt, tritt in dieser Beschaltung bereits Abschürung ein – warum?
- Berechnen Sie zunächst den **Abschnürpunkt**  $U_{GS} = U_{ab}$  (so dass  $U_{DS} = U_p$ )
- Berechnen Sie nun  $I_D = f(U_{GS})$  und  $U_a = U_{DS} = f(U_{GS})$  an ca. 10 Punkten zw.  $U_{GS} = U_{th}$  und  $U_{GS} = U_{ab}$
- Wie kann man  $I_D = f(U_{GS})$  oberhalb des Abschnürpunktes berechnen? (nur zeigen wie – Werte ausrechnen höchstens als Fleißaufgabe zum Vergleich mit den im Versuch simulierten Werten)
- Bestimmen Sie den **Restwiderstand** für den weit aufgesteuerten Transistor und damit die Verlustleistung im geöffneten Transistor

Die Ergebnisse sind zum Versuch mitzubringen! Sie müssen auch im Protokoll erscheinen.

### Weitere Vorbereitung

Überlegen Sie, wie die **Ausgangskennlinie** des MOSFET  $I_D = f(U_{DS})$  mit  $U_{GS}$  als Parameter gemäß S. 54 „Halbleiter“ der Vorlesung GTI aufgenommen oder durch Simulation gewonnen werden kann.

Machen Sie sich klar, wie mit Hilfe der **Widerstandsgeraden** die **Arbeitspunkte** der obigen Schaltung für  $U_{GS} = 1V$  und  $U_{GS} = 4V$  bestimmt werden können. (Die Widerstandsgerade ist die Kennlinie  $I_R = f(U_{DS})$  der Versorgungsspannung mit dem Widerstand  $R$ , also der äußeren Schaltung, die an Drain und Source liegt und dort natürlich dieselbe Spannung und denselben Strom wie der Transistor aufweisen muss – s. auch Skript „Ohmsches Gesetz - Grundlagen der ET“, S. 29 ff.)

Die **Ein- und Ausschaltzeiten** bei kapazitiver Last (Aufgabe V2, Eingangskapazität der folgenden Stufen und Leitungskapazität gegenüber Masse) sind verschieden groß – warum? Machen Sie sich klar, auf welchem Weg die Kapazität ge- bzw. entladen wird ( $e$ -Funktion mit Zeitkonstante  $RC$  – s. Skript „Ohmsches Gesetz - Grundlagen der ET“ - Kondensator ... S. 37 ff).

Machen Sie sich die Funktion eines **CMOS-Negators** klar. Wie kann man mit **CMOS NOR-Gatter** oder **NAND-Gatter** aufbauen? Beachten Sie besonders die Substrat-Anschlüsse (Bulk). Wie müssen **Logikpegel** definiert werden? Wie kann aus zwei CMOS-Negatoren ein **FlipFlop** aufgebaut werden?

### Hinweise zur Mess-Hardware

Wir benutzen eine DA/AD – Wandlereinheit NI USB-6008 mit 12 Bit Auflösung. Es sind 2 Ausgänge (AO-0 und AO-1) und 2 Eingänge (AI-0 und AI-1) und eine Masseleitung herausgeführt. Benutzen Sie immer zuerst die Anschlüsse mit der kleineren Nummer.

Sämtliche Ein- und Ausgänge sind „single-ended“ d.h. sie arbeiten gegenüber Masse. Sie können also nicht Spannungen zwischen beliebigen Punkten ausgeben oder messen, sondern nur Spannungen gegenüber Masse!

Im Schaltkreis 4007 des Experimentierboards sind sämtliche Gates mit Schutzdioden gegenüber Masse und gegenüber Betriebsspannung (hier  $V_{DD}$  genannt) abgesichert.

- Es besteht keine Gefahr der Zerstörung durch elektrostatische Aufladung – Sie dürfen die Anschlüsse ruhig berühren.
- Benutzen Sie für die Betriebsspannung (5V) das Netzteil, nicht einen DA-Ausgang.

### Weiterführende Literatur

[1] Hertwig, Brück: Entwurf digitaler Systeme; Hanser München 2000  
Lehrbuchsammlung FSU, INF LH 1000

Dasselbe Buch, das auch in PSpice einführt – ideal für unseren Versuch C1.